

## 高集積ハードウェアの冗長構成法に関する研究

著者	津田 伸生
号	1294
発行年	1992
URL	<a href="http://hdl.handle.net/10097/10101">http://hdl.handle.net/10097/10101</a>

氏 名 津 田 伸 生

授 与 学 位 博 士 ( 工 学 )

学位授与年月日 平成 4 年 5 月 13 日

学位授与の根拠法規 学位規則第 5 条第 2 項

最 終 学 歴 昭 和 49 年 3 月

金沢大学大学院工学研究科修士課程電子工学専攻修了

学 位 論 文 題 目 高集積ハードウェアの冗長構成法に関する研究

論 文 審 査 委 員 東北大学教授 丸岡 章 東北大学教授 野口 正一

東北大学教授 樋口 龍雄

## 論 文 内 容 要 旨

多数の小型要素プロセッサ ( P E ) を集合した高並列プロセッサのハードウェアを小型・高密度で実現するには、冗長構成に基づく回路の欠陥 ( 故障 ) 救済を適用して、ハードウェア全体を大面積の L S I 上に一括集積するウェーハスケールインテグレーション ( W S I ) が極めて有力な方策となる。

本論文は、こうした背景を踏まえて、アレー構造の高並列プロセッサ W S I の大面積化による一括集積規模拡大を可能とする階層化冗長構成法に関する研究成果をまとめたものであり、全 6 章で構成される。第 1 章では研究の目的と提案する階層化冗長構成法および関連研究の状況を概観し、第 2 章～第 5 章で具体的な研究内容を述べ、第 6 章において研究のまとめを行う。

第 1 章「序論」では、研究の目的および問題設定を述べ、関連研究の状況を概観する。本研究の目的は、高並列プロセッサ W S I に対する欠陥救済能力を飛躍的に向上させる方法として、 P E の内部および P E のアレーに対して小規模から大規模な予備回路を階層的に設定する階層化冗長構成法とそのテスト・切り換えの自動化法を具体化し、 W S I 冗長化設計法として確立することにある。

階層化冗長構成法の主な狙いは、第一に、予備回路を複数の階層に分散配置することにより、欠陥回路の規模に応じて小から大の予備回路を割り付けて予備回路の利用効率を向上させること、第二に、予備回路の階層的分散に伴う予備切り換え用接続パスの分散により、下位階層の接続パスおよびその切り換え回路を上位階層の切り換え単位内に組み込んで切り換え回路等の欠陥を冗長構成でカバーすることにある。特に、 P E のアレー構造に対する冗長構成を階層化した場合は、上記の第二の狙いにより W S I に一括集積できる P E 数を飛躍的に増大させることが可能となる。

本研究では、以上の二つの狙いに対する冗長構成を階層化に関する諸性質の解析と、 W S I の一

一括集積規模拡大に関する効果の評価・検証を主要な研究課題とし、冗長構成の欠陥救済能力を欠陥発生に対する実効的な回路面積の縮小で表す評価法を導入してこれらを解明している。

第2章「アレー構造高並列プロセッサの階層化冗長構成法」では、アレー構造の高並列プロセッサWSIにおいて、PEレベルの冗長構成を多階層化して一括集積可能なPE数を拡大する際の冗長構成の性質を解析する。

アレー構造の回路系に冗長構成の基本形である  $k$ -out-of- $n$  冗長構成を適用して欠陥救済を有効に行うには、アレーの構成要素であるPE（回路ユニット）の面積を適度に小さく設定してPEの良品率を向上させるとともに、回路系内で予想される数の欠陥PEを代替するに十分な予備PEを設けることが必要となる。この条件を十分満足する範囲では、 $k$ -out-of- $n$  冗長構成を階層化することにより、切り換え単位内に組み込まれた切り換え回路に対しても高い欠陥救済効果が得られるため、多数のPEを一括集積した場合でも回路系全体の良品率を高いレベルに保つことができる。

PEのアレー構造に対する冗長構成には、個々のPEを切り換え単位とした単階層モデル、PEに加えてPEのグループを切り換え単位とした2階層モデル、さらにPEのサブアレーを切り換え単位とした4階層モデルが考えられる。具体的なアレー結合方式（PE間接続構成）として、1次元並列接続アレー、1次元直列接続アレー、1次元バス結合アレー、2次元直交アレーについて、各階層数の冗長構成モデルでの切り換え回路に対するカバレッジ向上効果を調べた結果、PE間接続バスの本数が少なくかつアレー外部とのI/O端子数が少ないアレーほど、冗長構成の階層数を倍増するごとに、冗長構成でカバーされない切り換え回路規模が大幅にかつ一定の倍率で低減する効果が得られることが分かった。

次いで、単階層モデルで一括集積できるPE数を基本に、2階層および4階層モデルにおいて、切り換え回路を含めた回路系全体の良品率が高いレベルで保たれる最大基本PE数を調べた結果、上記の切り換え回路に対するカバレッジ向上効果に準じて、冗長構成の階層数を倍増するごとに、アレーの結合方式に依存して2～16倍の範囲の一定倍率で一括集積できる基本PE数を拡大できることが分かった。また4階層モデルでは、冗長なしLSIと比較してWSIの一括集積規模を64～1024倍まで拡大できることが分かった。

第3章「欠陥救済型切り換え回路の階層化冗長構成への適用法」では、第2章と同じく高並列プロセッサWSIのPEレベルの冗長構成に関し、冗長構成の階層化とは異なる観点から切り換え回路に対する冗長構成のカバレッジを向上させる方法として切り換え回路自体に欠陥救済性を備える方法を提案し、冗長構成の階層化と併用した際の一括集積規模拡大効果を2次元直交アレーをモデルとして解析する。

$k$ -out-of- $n$  冗長構成の切り換えの基本形にはシフト切り換えとバイパス切り換えがあり、PE間接続バスを持つアレー構造の切り換え回路はこれらの組合せで実現できる。具体的なシフト切り換え回路とバイパス切り換え回路は、PE間接続ならびにその切り換えスイッチの配置方法によって、集約型、最簡直結型、重複直結型の3種類に分類できる。切り換え回路の欠陥救済性は、これ

ら2つの直結型の切り換え回路において、接続パスおよびその切り換えスイッチの欠陥はこれらが接続しているPEの欠陥として扱える構造により実現できる。最簡直結型では1個の切り換えスイッチの欠陥は2個のPEの欠陥として扱われるが、重複直結型では1個のPEの欠陥として扱える。

こうした欠陥救済型切り換え回路を適用した2次元直交アレーでは、単階層冗長構成と階層化冗長構成の双方において、冗長構成でカバーされない切り換えスイッチはアレーの周辺部のみとなり、冗長構成の階層数を倍増するごとに1/2づつ低減する効果が得られる。この効果により、欠陥救済型切り換え回路を適用した階層化冗長構成では、非欠陥救済型切り換え回路の場合より、PE数あるいはPE面積の拡大により、WSIの一括集積規模をさらに2～4倍拡大できることが分かった。

第4章－PEの要素回路の自動切り換え型冗長構成法－では、高並列プロセッサにおいて一般にPEの要素回路として用いられるスタティック型RAMモジュール、スタティック型マスクROMモジュール、組合せ論理回路を規則的な回路構造で実現するためのプログラマブルロジックアレー(PLA)モジュールについて、それぞれの回路の構造上の特徴を利用した自動切り換え型冗長構成を提案する。

はじめに、回路がほぼ完全な繰り返し構造からなるRAMについては、パリティチェックをベースとした従来型誤り訂正法を最下位階層の冗長構成とし、さらに上位にセルフチェックおよび自己テストによる予備回路切り換えを階層的に組み合わせて、モジュール全体に対する冗長構成のカバレッジを大幅に向上させる方法を述べている。

次に、セルアレーにデータが固定的に書き込まれたマスクROMについては、データ書き込みポイントを直列2重化する方法による回路故障の発生防止策と、セルフチェックおよび自己テストの併用により単方向誤り特性をもつROMユニットを実現し、2重化したROMユニットの出力の比較・選択のみでリアルタイムで誤り訂正を行う方法(2重化・フェールセーフ構成法)を述べている。

また、AND-ROMとOR-ROMからなる2段構成のプログラマブルロジックアレー(PLA)では「H」フェールセーフと「L」フェールセーフの組み合わせにより、2重化・フェールセーフ構成での誤り訂正をROM2段の最終出力段で一括して行って冗長構成のカバレッジを向上させる方法を述べている。

以上の方法では、従来法と比較して各要素回路の周辺回路部への冗長構成のカバレッジを向上できるため、WSIに搭載するPEの回路規模を3～6倍拡大することが可能となる。また、PEを構成する主要な要素回路に対して、冗長構成のテスト・切り換えを完全自動化することが可能となる。

第5章－WSI構成例に基づく高集積効果の検証－では、具体的な処理を対象とした高並列プロセッサWSIの設計・試作結果を通して、前期のPEのアレー構造に対する階層化冗長構成法および要素回路の冗長構成法におけるテスト・切り換えの自動化法の実際を示す。

はじめに、1次元直列接続アレー構造のパイプラインソータWSIにより、PE内冗長構成1階層を含む3階層冗長構成法、自己テストと外部テストを併用した自動切り換え法を示す。本ソータは、データ列の入力と出力に同期して直列接続したPEでソートを行うもので、WSIの高集積性を利用してPE数を拡大することによりソート可能なデータ規模を拡張できる。

次に、文字認識のパターン照合用マイクロプログラム制御16ビットPEにより、要素回路の冗長構成の組合せ法、テスト・切り換えの自動化法を示す。本PEでは、冗長構成の切り換えは、内部の制御系は完全自己テストで行い、演算系は再構成した制御を用いて外部テストを併用して行う。本PEの試作により、実際のPEにおいて非冗長化回路の面積（実効回路面積）を基本回路面積の1/4にまで縮小できることを示した。

一方、PE数が段ごとに増加する木構造の高並列プロセッサに対する階層化冗長構成の拡張適用法として、回転予備切り換え型冗長構成法（RSRR法）に基づく階層化冗長構成法を考案し、2分木構造のマージWSIをモデルとして多段の木構造への適用規則を明らかにした。階層化冗長構成は木構造においてもカバレッジ向上に有効であり、3階層RSRR構成では、従来の2重化等の単階層冗長構成と比較して、一括集積規模を少なくとも3倍以上に拡大できることを示した。

また、WSIに適するアレー構造および木構造の高並列プロセッサを用いた計算処理の効率化法の実例として、前記のパイプラインソータWSIを用いたマルチウェイマージソート法と、2分木構造のバイナリトリーマージWSIを用いた連想統合型パターン照合法を考案した。これらの方法では、基本となるPE数を単純拡張する方法と比較して、ハードウェア利用効率を4～5倍向上できると見込まれる。

第6章—結論—では、以上の各章のまとめとして、提案した階層化冗長構成法では従来の単階層冗長構成法と比較して、PE規模の拡大を含めて高並列プロセッサWSIの一括集積規模を約2桁拡大でき、非冗長LSIによるハードウェア構成法と比較して、WSI大面積化による5～20倍（対従来法では2～5倍）の直接的なハードウェア小型・高密度化と、上記のハードウェア利用率の4～5倍向上を合わせると、実効的には約2桁のハードウェア小型・高密度化が見込まれることを結論づけている。

## 審 査 結 果 の 要 旨

基本プロセッサ（PE）からなる高並列回路の高集積化を図る方法のひとつに、回路全体を大面積LSI上に一括集積するウェーハスケールインテグレーション（WSI）がある。このWSIを実現するには、製造過程で回路に欠陥が生じて、全体としては正常に働くようにする必要があるが、そのための冗長構成法はこれまでに確立されているとは言い難い。本論文は、階層化冗長構成法を新しく提案し、この方法がWSIの欠陥救済能力を大幅に向上させることを示すとともに、この方法でソーティングやパターン照合の回路を試作し、その有用性を確かめたもので全編6章よりなる。

第1章は序論である。第2章では、切り換え回路で $n$ 個のPEのうちの $k$ 個のPEを適当に選んで用い、欠陥のあるPEが $n - k$ 個以下なら全体として正常に動作するようにした回路構造を、入れ子構造として組み立てる階層化冗長構成法を提案している。この構成法による各種アレー構造WSIに対して、切り換え回路の構成法も与えている。また、冗長構成による欠陥救済の効果を表すパラメータとして、実効回路面積を導入し、その妥当性を論じている。

第3章では、階層化冗長構成の切り換え回路自体に欠陥救済能力を持たせることを検討し、シフト切り換え型とバイパス切り換え型の切り換え回路に欠陥救済メカニズムを組み込む方法を与えている。そして、階層化冗長構成の回路に、このメカニズムを組み込むことにより、組み込まない場合に比べ集積規模を2～4倍にできることを示している。これは優れた成果である。

第4章では、RAM、ROM、またPLAを対象にして、切り替えを自動化する方式を提案している。このうちRAMの場合については、パリティ検査による誤り訂正に加え、組み込み検査機能により自動切り換えする冗長構成法を提案し、従来の3重化多数決構成法と比較して6倍の欠陥救済能力が得られることを示している。

第5章では、階層化冗長構成法により、ソーティングやパターン照合等を行うWSIを試作し、この方法がWSIの大規模化に有効であることを示している。

第6章は結論である。

以上要するに本論文は、階層化冗長構成法を提案し、その欠陥救済機能によりWSIを高集積化できることを示すとともに、各種WSIを試作することによりその有用性を示したもので、電子工学ならびに情報工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。